

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-133218

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.⁸

識別記号

G 0 2 F 1/1345

F I

G 0 2 F 1/1345

(21)出願番号 特願平8-291458

(22)出願日 平成8年(1996)11月1日

審査請求 未請求 請求項の数6 OL (全19頁)

(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
(72)発明者 井岡 淳二 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
(72)発明者 斎藤 三津夫 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
(74)代理人 弁理士 中村 純之助

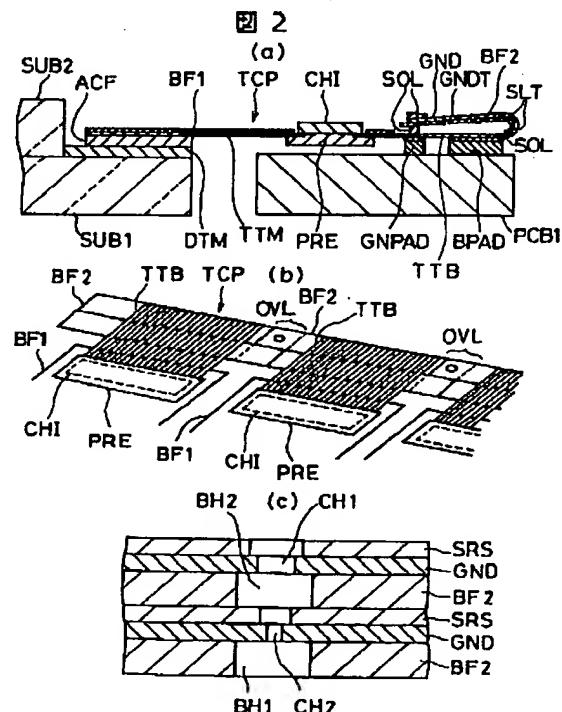
最終頁に続く

(54)【発明の名称】 テープキャリアパッケージを実装した機器および液晶表示装置

(57)【要約】

【課題】液晶駆動用回路基板の層数を増加することなく、グランド線や電源線の面積を十分確保し、EMI対策を強化するとともに、該回路基板の幅を縮小し、したがって、小型化、軽量化、大画面化、および表示品質の安定化を実現できる液晶表示装置等の機器を提供する。

【解決手段】各テープキャリアパッケージTCPの端子はばらく防止用ベースフィルムBF2にグランド線GNDを形成し、ベースフィルムBF2をその長辺方向に沿って折り返し、複数枚のテープキャリアパッケージTCPを回路基板PCB1の長辺に沿って配列し、折り返した互いに隣接するベースフィルムBF2の一部を重ね合わせて実装し、端子TTBの伸長方向と垂直方向に伸びる隣接する各グランド線GNDどうしを電気的に接続するとともに、回路基板PCB1のパッドGNPADに電気的に接続した。



【特許請求の範囲】

【請求項1】ICチップを搭載したテープキャリアパッケージを実装した機器において、前記テープキャリアパッケージの端子のばらけ防止用ベースフィルムに、配線を形成したことを特徴とする機器。

【請求項2】ICチップを搭載したテープキャリアパッケージにより、液晶表示パネルと回路基板とを電気的に接続した液晶表示装置において、前記テープキャリアパッケージの端子のばらけ防止用ベースフィルムに、配線を形成したことを特徴とする液晶表示装置。

【請求項3】前記ばらけ防止用ベースフィルムを、その長辺方向に沿って折り返し、

複数枚の前記テープキャリアパッケージを、前記回路基板の長辺に沿って配列し、

前記折り返した互いに隣接する前記ばらけ防止用ベースフィルムの一部を重ね合わせて実装し、

前記端子の伸長方向と横切る方向に伸びる隣接する前記各配線どうしを電気的に接続するとともに、前記回路基板に電気的に接続したことを特徴とする請求項2記載の液晶表示装置。

【請求項4】前記ばらけ防止用ベースフィルムと前記配線の両方に一致して設けた貫通穴を介して、前記各配線どうしを半田付けにより前記回路基板に電気的に接続したことを特徴とする請求項3記載の液晶表示装置。

【請求項5】ICチップを搭載したテープキャリアパッケージにより、液晶表示パネルと回路基板とを電気的に接続した液晶表示装置において、

前記テープキャリアパッケージの端子のばらけ防止用ベースフィルムに、配線を形成し、

前記ばらけ防止用ベースフィルムを、その長辺方向に沿って折り返し、

複数枚の前記テープキャリアパッケージを、前記回路基板の長辺に沿って配列し、

前記折り返した互いに隣接する前記ばらけ防止用ベースフィルムの一部を重ね合わせて実装し、

前記端子の伸長方向と横切る方向に伸びる隣接する前記各配線どうしを、前記ばらけ防止用ベースフィルムと前記配線の両方に一致して設けた貫通穴を介して、半田付けにより前記回路基板に電気的に接続したことを特徴とする液晶表示装置。

【請求項6】前記配線が、グランド線、電源線、あるいは信号線であることを特徴とする請求項1、2、または5記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICチップを搭載したテープキャリアパッケージを実装した機器、および液晶駆動用ICチップを搭載したテープキャリアパッケージにより液晶表示パネルと液晶駆動用回路基板とを電気的に接続した液晶表示装置に関する。

【0002】

【従来の技術】テープキャリアパッケージを実装した機器として、液晶表示パネルと液晶駆動用回路基板とを、液晶駆動用ICチップを搭載したテープキャリアパッケージにより電気的に接続した液晶表示装置を例に挙げて説明する。

【0003】液晶表示装置（すなわち、液晶表示モジュール）は、例えば、表示用の透明画素電極と配向膜等をそれぞれ積層した面が対向するように所定の間隙を隔てて2枚のガラス等からなる透明絶縁基板を重ね合わせ、該両基板間の周縁部に枠状（ロの字状）に設けたシール材により、両基板を貼り合わせるとともに、シール材の一部の切り欠け部である液晶封入口から両基板間のシール材の内側に液晶を封止し、さらに両基板の外側に偏光板を設けてなる液晶表示パネル（すなわち、液晶表示素子、LCD：リキッド クリスタル ディスプレイ（Liquid Crystal Display））と、液晶表示パネルの下に配置され、液晶表示パネルに光を供給するバックライトと、液晶表示パネルの外周部の外側に配置した液晶駆動用回路基板と、バックライトを収納、保持するプラスチックモールド成型品である下側ケースと、前記各部材を収納し、表示窓があけられた金属製シールドケース等で構成されている。

【0004】なお、液晶表示パネルと回路基板とは、液晶駆動用IC（半導体集積回路）チップを搭載したテープキャリアパッケージ（Tape Carrier Package：TCPと略称される）により電気的に接続されている。さらに詳しくいうと、回路基板の多数の出力端子と、テープキャリアパッケージの多数の入力端子（すなわち、入力側アウトアーリード）とは半田付けにより接続され、テープキャリアパッケージの多数の出力端子（すなわち、出力側アウトアーリード）と、液晶表示パネルの走査信号線あるいは映像信号線の多数の入力端子（液晶表示パネルを構成する一方の透明ガラス基板面上の端部に配列形成されている）とは異方性導電膜により接続されている。また、テープキャリアパッケージに搭載されたICチップの多数の入力端子は、テープキャリアパッケージの多数の出力側インナーリードと接続され、他方、該ICチップの多数の出力端子は、テープキャリアパッケージの多数の入力側インナーリードと接続されている。なお、回路基板としては、ガラスエポキシ等からなる固いいわゆるプリント基板、あるいはポリイミド樹脂等からなる柔軟なFPC等が使用可能である。

【0005】なお、このような液晶表示装置は、例えば特開昭61-214548号公報や、実開平2-13765号公報等に記載されている。

【0006】図17は、従来のテープキャリアパッケージの平面図、図18は図17の18-18切断線における断面構造を示す図、図19は該テープキャリアパッケージを液晶表示パネルの端子に接続した状態を示す要部

断面図である。

【0007】これらの図において、TCPはテープキャリアパッケージ、CHIはテープキャリアパッケージTCPに搭載された液晶駆動用ICチップ、TTMはテープキャリアパッケージTCPの出力端子、TTBはテープキャリアパッケージTCPの入力端子、HLはテープキャリアパッケージTCPを位置決めピンを用いて液晶表示パネルPNLと端子合せるための位置決め穴である。出力端子TTM、入力端子TTBは例えばCUDからなり、それぞれの内側の先端部（通称インナーリード）にはICチップCHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれICチップCHIの入力および出力に対応し、半田付けによりCRT/TFT変換回路・電源回路SUP（図8参照）に、異方性導電膜ACFによって液晶表示パネルPNLに接続される。テープキャリアパッケージTCPは、その先端部が液晶表示パネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うように液晶表示パネルPNLに接続されており、したがって、外部接続端子DTM(GTM)は保護膜PSV1かテープキャリアパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0008】BF1はポリイミド等からなるベースフィルム、BF2は所定のピッチで配置された複数本の入力端子TTBを保持する（ばらけ防止用の）ポリイミド等からなるベースフィルムであり、PREはICチップCHIの封止用樹脂（モールドレジン）、SRSは半田付けの際、半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下透明ガラス基板SUB1、SUB2の隙間は洗净後エポキシ樹脂EPX等により保護され、テープキャリアパッケージTCPと上部透明ガラス基板SUB2の間にはさらにシリコン樹脂SILが充填され、保護が多重化されている。

【0009】図19は、前述のように、テープキャリアパッケージTCPと液晶表示パネルPNLおよび液晶駆動用回路基板PCB1との電気的接続を示す要部断面図である。図19において、SLDは回路基板PCB1の出力端子の半田付け用ランド、SOLは半田付け用ランドSLDの上に設けられた半田層、OILはテープキャリアパッケージTCPの出力側インナーリード、UILはテープキャリアパッケージTCPの入力側インナーリードである。この図に示すように、回路基板PCB1の面上に配列形成された多数の出力端子の半田付け用ランドSLDと、テープキャリアパッケージTCPの多数の入力端子（入力側アウターリード）TTBとは、半田層SOLを介して半田付けにより接続されている。テープキャリアパッケージTCPの多数の出力端子（出力側アウターリード）TTMと液晶表示パネルPNLの多数の

入力端子DTMとは異方性導電膜ACFにより接続されている。また、テープキャリアパッケージTCPに搭載されたICチップCHIの多数の入力端子（ボンディングパッドPAD）は、テープキャリアパッケージTCPの多数の出力側インナーリードOILと接続され、ICチップCHIの多数の出力端子（ボンディングパッドPAD）は、テープキャリアパッケージTCPの多数の入力側インナーリードUILと接続されている。

【0010】

【発明が解決しようとする課題】液晶表示パネルの高精細化に伴って、液晶駆動用回路基板は高密度に配線され、電子部品が高密度に実装される傾向にあるが、高密度配線、高密度部品実装の多層回路基板の場合、該回路基板の配線パターン形成のために許される面積が減少している。

【0011】液晶表示装置の小型化、軽量化のために、回路基板の寸法を縮小化する場合、必要な配線領域を得るには、該回路基板の層数を増やすか、あるいは幅の太いグランド線または電源線の太さを細くすることが考えられる。しかし、層数を増やすと、回路基板の単価が上昇してしまい、層数を増やさない場合は、グランド線または電源線の面積を十分確保することができない。

【0012】最近、液晶表示装置を表示部として組み込んだパソコン、ワープロ等の情報処理装置の外形寸法の小型化、軽量化、および大画面化のために、表示画面の周囲のいわゆる額縁部の幅が縮小化される傾向にある。液晶表示パネルの外周部の外側には回路基板が設置されるので、額縁部の縮小化のためには、回路基板の幅を縮小する必要がある。

【0013】また、グランド線が充分広く取れないと、装置外部から侵入したり、装置内部で発生する不要な輻射電波（すなわち、ノイズ）により、例えば安定した表示品質が得られなかったりする、EMI（エレクトロマグネティック インタフィアレンス(Electro Magnetic Interference)、すなわち、電磁波障害）を引き起こす問題がある。なお、液晶表示装置の駆動周波数は年々高くなっている、ノイズの防止は特に重要となっている。

【0014】本発明の目的は、回路基板の層数を増加することなく、また、グランド線や電源線の面積を縮小することなく、その面積を十分確保し、EMI対策を強化するとともに、該回路基板の幅、すなわち、額縁部の幅を縮小し、したがって、小型化、軽量化、大画面化、および表示品質の安定化を実現できる機器および液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】前記課題を解決するために、本発明では、ICチップを搭載したテープキャリアパッケージにより、液晶表示パネルと回路基板とを電気的に接続した液晶表示装置あるいはテープキャリアパッケージを実装した他の機器において、前記テープキャリ

アッパケージの端子のばらけ防止用ベースフィルムに、配線を形成したことを特徴とする。

【0016】また、前記ばらけ防止用ベースフィルムを、その長辺方向に沿って折り返し、複数枚の前記テープキャリアアッパケージを、前記回路基板の長辺に沿って配列し、前記折り返した互いに隣接する前記ばらけ防止用ベースフィルムの一部を重ね合わせて実装し、前記端子の伸長方向と横切る方向に伸びる隣接する前記各配線どうしを電気的に接続するとともに、前記回路基板に電気的に接続したことを特徴とする。

【0017】また、前記ばらけ防止用ベースフィルムと前記配線の両方に一致して設けた貫通穴を介して、前記各配線どうしを半田付けにより前記回路基板に電気的に接続したことを特徴とする。

【0018】さらに、前記配線が、グランド線、電源線、あるいは信号線であることを特徴とする。

【0019】本発明では、各テープキャリアアッパケージの端子のばらけ防止用ベースフィルムにグランド線、電源線、あるいは信号線の配線（すなわち、回路パターン）を形成し、該配線どうしを電気的に接続するとともに、回路基板と電気的に導通を取る構造とすることにより、回路基板の層数を増加することなく、グランド線や電源線の面積を十分確保することができる。したがって、EMI対策を強化するとともに、該回路基板の幅、すなわち、額縁部の幅を縮小することができ、その結果、液晶表示装置等の機器の小型化、軽量化、大画面化、および表示品質の安定化を実現することができる。

【0020】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0021】《アクティブ・マトリクス液晶表示装置》以下、本発明を適用したアクティブ・マトリクス方式のカラー液晶表示装置（すなわち、液晶表示モジュール）について詳細に説明する。

【0022】《液晶表示モジュールの全体構成》図3は、液晶表示モジュールMDLの分解斜視図である。

【0023】SHDは金属板からなるシールドケース（メタルフレームとも称す）、WDは表示窓、INS1～3は絶縁シート、PCB1～3は回路基板（PCB1はドレイン側回路基板、PCB2はゲート側回路基板、PCB3はインターフェイス回路基板）、JNは回路基板PCB1～3どうしを電気的に接続するジョイナ、TCP1、TCP2はテープキャリアアッパケージ、PNLは液晶表示パネル、GCはゴムクッション、ILSは遮光スペーサ、PRSはプリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース（モールドケース）、LPは蛍光管、LPCはランプケーブル、GBは

蛍光管LPを支持するゴムブッシュであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0024】モジュールMDLは、下側ケースMCA、シールドケースSHDの2種の収納・保持部材を有する。絶縁シートINS1～3、回路基板PCB1～3、液晶表示パネルPNLを収納、固定した金属製シールドケースSHDと、蛍光管LP、導光板GLB、プリズムシートPRS等からなるバックライトBLを収納した下側ケースMCAとを合体させることにより、モジュールMDLが組み立てられる。

【0025】図16は、液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいはワープロの斜視図である。

【0026】《テープキャリアアッパケージTCPおよびその実装》図1は、本発明の一実施の形態のテープキャリアアッパケージTCPの要部概略平面図（下面図）である。

【0027】図1において、TCPはテープキャリアアッパケージ、TTBはテープキャリアアッパケージTCPの入力端子、BF1はポリイミド等からなる柔軟なベースフィルム、BF2は同じくポリイミド等からなり、所定のピッチで配置された複数本の入力端子TTBを保持する該端子のばらけ防止用ベースフィルムであり、CH1はテープキャリアアッパケージTCPに搭載された液晶駆動用ICチップ、PREはICチップCH1の封止用樹脂（モールドレジン）、GNDはばらけ防止用ベースフィルムBF2に設けたグランド線、GNDTはグランド線GNDとICチップCH1とを接続する配線、SLTはベースフィルムBF2の実装時の折り返し部分に折り曲げやすいように設けた2本のスリット、CH1、CH2は実装時に互いに隣接するテープキャリアアッパケージTCPのグランド線GNDどうしを電気的に接続するために該グランド線GNDの両端部に設けた貫通穴、BH1、BH2は同じく隣接するグランド線GNDどうしを電気的に接続するために、貫通穴CH1、CH2の中心と一致してベースフィルムBF2に設けた貫通穴である。

【0028】なお、本図では、テープキャリアアッパケージTCPの出力端子TTMや、ソルダレジスト膜SRSや、テープキャリアアッパケージTCPを位置決めピンを用いて液晶表示パネルPNLと端子合せするための位置決め穴HL等は図示省略している（図17参照）。

【0029】入力端子TTB（出力端子TTM）は例えばCuからなり、それぞれの内側の先端部（通称インナーリード）にはICチップCH1のボンディングパッド（図18の符号PAD参照）がいわゆるフェースダウンボンディング法により接続される。

【0030】図2(a)は、図1に示したテープキャリアアッパケージTCPを、液晶表示パネルPNLと駆動用

回路基板PCB1に実装した様子を示す概略断面図である。

【0031】図2(a)において、B PADはテープキャリアパッケージTCPの入力端子TTBが接続される回路基板PCB1の出力端子のパッド、GNPADはグランド線GNDが接続されるパッド、SOLはパッドB PADと端子TTBとを接続し、およびパッドGNPADとグランド線GNDとを接続するための半田層、TTMはテープキャリアパッケージTCPの出力端子、DTMは液晶表示パネルPNLの映像信号線の外部接続端子、ACFはテープキャリアパッケージTCPの出力端子TTMと液晶表示パネルPNLの入力端子DTMとを電気的に接続する異方性導電膜である(図19参照)。

【0032】図2(b)は、図1に示した複数枚のテープキャリアパッケージTCPの互いに隣接するベースフィルムBF2の一部を重ね合わせて配列実装した様子を示す概略斜視図、(c)はベースフィルムBF2の重ね合わせ部分の要部断面図である。

【0033】(b)において、OVLは隣接するベースフィルムBF2の重複部、(c)において、SRSは半田付けの際、半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。

【0034】本実施の形態では、図1に示すように、各テープキャリアパッケージTCPのばられ防止用ベースフィルムBF2に銅箔パターン等からなるグランド線GNDを形成している。また、図2(a)に示すように、ベースフィルムBF2をその長辺方向に沿って折り返し、図2(b)に示すように、複数枚のテープキャリアパッケージTCPを回路基板PCB1の長辺に沿って配列する。この際、折り返した互いに隣接するベースフィルムBF2の一部を重ね合わせて実装する。また、端子TTB(およびTTM)の伸長方向と横切る方向(ここでは垂直方向)に伸びる隣接する各グランド線GNDどうしを電気的に接続するとともに、回路基板PCB1のグランド線用のパッドGNPADに電気的に接続してある。なお、この電気的接続は、図2(c)に示すように、ベースフィルムBF2とグランド線GNDの両方に一致して設けた貫通穴BH1、CH1およびBH2、CH2を介し、半田層SOLを用いた半田付けによる。なお、ここでは、図1に示すように、ベースフィルムBF2に設けた貫通穴BH1、BH2の径は、すべて同じにしてあるが、各テープキャリアパッケージTCPにおいて、グランド線GNDに設けた左側の貫通穴CH1の径は、右側の貫通穴CH2の径より大きくなっている。すなわち、図2(c)に示すように、回路基板PCB1と接続する下の貫通穴CH2を小さく、上の貫通穴CH1を大きくすることにより、半田は大きい貫通穴CH1を通り、小さい貫通穴CH2を抜けて回路基板PCB1の接続用パッドGNPADと接続する。このとき、大小の貫通穴CH1、CH2の穴回りの銅箔パターンと半田とが

接続し、穴壁のみの場合より接続面積が増える。また、回路基板PCB1側、すなわち、下側のテープキャリアパッケージTCPを抑える役目もする。さらに、テープキャリアパッケージTCPを回路基板PCB1と接続するときのずれが生じても、テープキャリアパッケージTCPどうしの接続不良が軽減できる。

【0035】なお、本実施の形態では、ベースフィルムBF2に設ける配線として、グランド線GNDを形成したが、これに限らず、電源線や信号線を形成してもよいことはもちろんである。

【0036】本実施の形態では、テープキャリアパッケージTCPの端子ばられ防止用ベースフィルムBF2にグランド線GND(あるいは電源線、信号線)を形成し、各グランド線GNDどうしを電気的に接続するとともに、回路基板PCB1と電気的に導通を取る構造とすることにより、回路基板の層数を増加することなく、グランド線や電源線の面積を十分確保することができる。したがって、安定した電源供給を行うことができ、EMIを引き起こす不要な輻射電波が射出したり、あるいは装置の外部から不要な輻射電波が侵入したりするのを低減でき、EMI対策を強化できる。特に、本実施の形態のように、ベースフィルムBF2にグランド線GNDを設ける場合、ベースフィルムBF2を図2(a)に示すように折り返し、回路基板PCB1とテープキャリアパッケージTCPとの電気的接続部をグランド線GNDで覆う構成とすることにより、グランド線GNDによるシールドが可能となり、EMI対策が強化される。その結果、液晶表示装置において、安定した表示品質が得られるとともに、回路基板の幅、すなわち、額縁部の幅を縮小できる。その結果、液晶表示装置の小型化、軽量化、大画面化、および表示品質の安定化が実現できる。

【0037】《回路基板PCB1~3》図14は、表示パネルPNLと回路基板PCB1~3とがシールドケースSHD内に収納・実装された状態を示す下面図と各断面図、図15は、回路基板PCB1~3の下面図(PCB1と2にTCPが実装されてない状態を示し、PCB3は図14よりも詳細に示す)である。

【0038】CH1、CH2は表示パネルPNLを駆動させる駆動用IC(集積回路)チップ(図14の下側の5個は垂直走査回路側の駆動用ICチップ、左側の10個は映像信号駆動用回路側の駆動用ICチップ)である。TCP1、TCP2は図2、図13で説明したように駆動用ICチップCH1がテープオートメイティドボンディング法(TAB)により実装されたテープキャリアパッケージ、PCB1、PCB2はそれぞれTCPやコンデンサCDS等が実装されたPCB(プリントドーサーキットボード)からなる回路基板である。FGPはフレームグランドパッド、JN3はドレン側回路基板PCB1とゲート側回路基板PCB2とを電気的に接続するジョイナ、JN1、JN2はドレン側回

路基板PCB1とインターフェイス回路基板PCB3とを電気的に接続するジョイナである。図3、図14に示すジョイナJN1～3は、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持して構成される。なお、JN1～3は、FPC（フレキシブルプリンティドサーキット）を用いて構成することも可能である。

【0039】すなわち、表示パネルPNLの3方の外周部には表示パネルPNLの回路基板PCB1～3が「コ」の字状に配置されている。表示パネルPNLの1つの長辺（図14では左側）の外周部には表示パネルPNLの映像信号線（ドレイン信号線）に駆動信号を与える駆動用ICチップ（ドライバ）CHI1をそれぞれ搭載した複数個のテープキャリアパッケージTCP1を実装したドレイン側回路基板PCB1が配置されている。また、表示パネルPNLの短辺（図14の下側）の外周部には表示パネルPNLの走査信号線（ゲート信号線）に駆動信号を与える駆動用ICチップCHI2をそれぞれ搭載した複数個のテープキャリアパッケージTCP2を実装したゲート側回路基板PCB2が配置されている。さらに、表示パネルPNLのもう一方の短辺（図14の上側）の外周部にはインターフェイス回路基板（コントロール回路基板、コンバータ回路基板とも称す）PCB3が配置されている。

【0040】回路基板PCB1～3は、3枚の略長方形状に分割されているので、表示パネルPNLと回路基板PCB1～3との熱膨張率の差により回路基板PCB1～3の長軸方向に生じる応力（ストレス）がジョイナJN1～3の箇所で吸収され、接続強度が弱いテープキャリアパッケージTCPの出力リード（図2、図13のTM）と液晶表示パネルPNLの外部接続端子（図13のDTM(GTM)）の剥がれが防止でき、さらに、テープキャリアパッケージTCPの入力リードの応力緩和にも寄与し、熱に対するモジュールの信頼性を向上できる。このような基板の分割方式は、さらに、1枚の「コ」の字状基板に比べて、それぞれが四角形状の単純な形状であるので1枚の基板材料から多数枚の基板PCB1～3が取得でき、プリント基板材料の利用率が高くなり、部品・材料費が低減できる効果がある（本例の場合は、約50%に低減できた）。なお、回路基板PCB1～3は、ガラスエポキシ樹脂等からなるPCB（プリンティドサーキットボード）の代わりに柔軟なFPC（フレキシブルプリンティドサーキット）を使用すると、FPCはたわむのでリード剥がれ防止効果を高めることができる。また、分割しない一体型の「コ」の字状のPCBを用いることもでき、その場合は工数の低減、部品点数削減による製造工程管理の単純化、回路基板間ジョイナの廃止による信頼性向上に効果がある。

【0041】3枚の回路基板PCB1～3の各グランド線に接続されたフレームグランドパッドFGPは、図15に示すように、それぞれ5個、4個、3個設けられ、合計12個設けてある。回路基板が複数に分割されている場合、直流的には駆動用回路基板のうち少なくとも1箇所がフレームグランドに接続されれば、電気的な問題は起きないが、高周波領域ではその箇所が少ないと、各駆動用回路基板の特性インピーダンスの違い等により電気信号の反射、グランド線の電位が振られる等が原因で、EMIを引き起こす不要な輻射電波の発生ボテンシャルが高くなる。特に、薄膜トランジスタを用いたアクティブ・マトリクス方式のモジュールMDLでは、高速のクロックを用いるので、EMI対策が難しい。これを防止するために、複数に分割された各回路基板毎に少なくとも1箇所でグランド線（交流接地電位）をインピーダンスが十分に低い共通のフレーム（すなわち、シールドケースSHD）に接続する。これにより、高周波領域におけるグランド線が強化されるので、全体で1箇所だけシールドケースSHDに接続した場合と比較すると、本例の12箇所の場合は輻射の電界強度で5dB以上の改善が見られた。

【0042】シールドケースSHDのフレームグランド用爪FGNは、前述のように、金属の細長い突起で構成され、折り曲げることにより容易に回路基板PCB1～3のフレームグランドパッドFGPに接続でき、接続用の特別のワイヤ（リード線）が不要である。また、爪FGNを介してシールドケースSHDと回路基板PCB1～3とを機械的にも接続できるので、回路基板PCB1～3の機械的強度も向上することができる。

【0043】従来は、EMIを引き起こす不要な輻射電波の発生を抑えるために、信号波形をなまらせるための複数個の抵抗・コンデンサが、信号源集積回路の近く、あるいは信号の伝送経路の途中などに分散して配置されていた。したがって、信号源集積回路の付近やテープキャリアパッケージ間に、該抵抗・コンデンサを設けるためのスペースが何箇所も必要なため、デッドスペースが大きくなり、電子部品を高密度に実装することができなかった。本例では、図14に示すように、EMI対策用の複数個のコンデンサ・抵抗CRが、インターフェイス回路基板PCB3に設けた信号源集積回路TCONから遠い、また、信号源集積回路TCONからの信号を受信するドレイン側回路基板PCB1の駆動用ICチップCHI1よりもさらに遠い、複数個の駆動用ICチップCHI1の信号流れ方向の下流側のドレイン側回路基板PCB1の端部に集中して配置してある。したがって、分散して配置するのに比べ、デッドスペースを低減することができ、電子部品を高密度に実装することができる。したがって、モジュールMDを小型化、軽量化することができ、製造コストを低減することができる。

【0044】《マトリクス部の概要》図4は本発明が適

用可能なアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図5はマトリクスの画素部、すなわち、図4の5b-5b切断線における断面を中央(b)にして、左側(a)に液晶表示パネル(すなわち、液晶表示素子。LCD)の角付近、すなわち、図11の12-12切断線における断面と、右側(c)に映像信号駆動用回路が接続されるべき映像信号端子部(外部接続端子DTM)付近の断面を示す図である。

【0045】図4に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレンイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0046】図5に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFL、遮光用ブラックマトリクスピターンBMが形成されている。下部透明ガラス基板SUB1は例えば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

【0047】上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、遮光膜BM、カラーフィルタFL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0048】《マトリクス周辺の概要》図9は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス(AR)周辺の要部平面を、図10はその周辺部をさらに誇張した平面を、図11は図9および図10のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図5は前述のように図4の断面を中央にして、左側に図11の12-12切断線における断面を、右側に映像信号駆動用回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図12は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0049】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個

分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図9~図11は後者の例を示すもので、図9、図10の両図とも上下基板SUB1、SUB2の切断後を、図11は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td(添字略)が存在する(図で上下辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP(図2、図13)の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチおよび各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0050】透明ガラス基板SUB1、SUB2の間にそな縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂からなる。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレン端子DTMと同一製造工程で形成される。

【0051】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0052】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0053】《薄膜トランジスタTFT》薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースードレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0054】各画素の薄膜トランジスタTFTは、画素内において2つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ) TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ(チャネル長、チャネル幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、ゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドープされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0055】《ゲート電極GT》ゲート電極GTは図4に示すように、走査信号線GLから垂直方向(図4において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2は例えばスパッタで形成されたアルミニウム(A1)膜を用い、1000~5500Å程度の膜厚で形成する。また、ゲート電極GT上にはA1の陽極酸化膜AOFが設けられている。

【0056】このゲート電極GTは図4、図5に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光管等のバックライトBLを取り付けた場合、この不透明なA1からなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起にくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて)幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャネル長)Lとの比、すなわち相互コンダクタンス

gmを決定するファクタW/Lをいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0057】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0058】《絶縁膜GI》絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIは例えばプラズマCVDで形成された窒化シリコン膜を用い、1200~2700Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。ゲート絶縁膜GIは図11に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。

【0059】《i型半導体層AS》i型半導体層ASは、図4に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン膜または多結晶シリコン膜で形成し、200~2200Åの膜厚(この液晶表示装置では、2000Å程度の膜厚)で形成する。

【0060】このi型半導体層ASは、供給ガスの成分を変えてSi₃N₄からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドープしたN⁺型半導体層d0(図5)も同様に連続して200~500Åの膜厚(この液晶表示装置では、300Å程度の膜厚)で形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN⁺型半導体層d0およびi型半導体層ASは図4、図5に示すように独立した島状にパターニングされる。

【0061】i型半導体層ASは、図4、図5に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバ部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0062】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0063】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの

1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザ光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。なお、2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができる。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの膜厚(この液晶表示装置では、1400Å程度の膜厚)で形成される。

【0064】《ソース電極SD1、ドレイン電極SD2》複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図4、図5に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0065】ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0066】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、500~1000Åの膜厚(この液晶表示装置では、600Å程度の膜厚)で形成する。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN⁺型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のA1がN⁺型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてよい。

【0067】第3導電膜d3はAlのスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3として純Al膜の他にシリコンや銅(Cu)を添加物として含有させたAl膜を用いてよい。

【0068】第2導電膜d2、第3導電膜d3と同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N⁺型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN⁺型半導体層d0は第

2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N⁺型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0069】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOFの膜厚、i型半導体層ASの膜厚およびN⁺型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の上部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでステップカバレッジを向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

【0070】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1は例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1μm程度の膜厚で形成する。

【0071】保護膜PSV1は図11に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続用引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。したがって、図11に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するゲート絶縁膜GIよりも大きく形成されている。

【0072】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光(図5では上方からの光)がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図4に示すようなパターンとされている。遮光膜BMは光に対する遮蔽性が高い例えばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚に形成される。

【0073】したがって、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは図4に示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され（ブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0074】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分（図4右下部分）が遮光膜BMによって遮光されているから、上記部分にドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0075】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側（外部露出側）とすることもできる。

【0076】遮光膜BMは周辺部にも図10に示すように額縁状のパターンに形成され、そのパターンはドット状に複数の開口を設けた図4に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図5、図10～図12に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0077】《カラーフィルタFIL》カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成され（図4）、染め分けられている。カラーフィルタFILは図4に示すように透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0078】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0079】《保護膜PSV2》保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護

膜PSV2は例えばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0080】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共に透明画素電極ITO2との間の電位差（電界）に応答して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本例では、コモン電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中间電位に設定されるが、映像信号駆動用回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図10、図11を参照されたい。

【0081】《ゲート端子部》図6は表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図11下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0082】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。したがって、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物Al₂O₃膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに单一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0083】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパテニングされている。これは、Al層の幅が広いと表面上にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。したがって、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0084】ゲート端子GTMは酸化珪素SIO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、さらにその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されてい

る。なお、ゲート絶縁膜G I 上およびその側面部に形成された導電層d 2およびd 3は、導電層d 3やd 2のエッチング時ピンホール等が原因で導電層g 2やg 1が一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。また、ゲート絶縁膜G I を乗り越えて右方向に延長されたITO層d 1は同様な対策をさらに万全とさせたものである。

【0085】平面図において、ゲート絶縁膜G I はその境界線よりも右側に、保護膜P SV 1もその境界線よりも右側に形成されており、左端に位置する端子部G TM はそれから露出し外部回路との電気的接触ができるようになっている。図では、ゲート線G Lとゲート端子の一つの対のみが示されているが、実際はこのような対が図11に示すように上下に複数本並べられ端子群T g (図10、図11)が構成され、ゲート端子の左端は、製造過程では、基板の切断領域C T 1を越えて延長され配線S H gによって短絡される。製造過程におけるこのような短絡線S H gは陽極化成時の給電と、配向膜O R I 1のラビング時等の静電破壊防止に役立つ。

【0086】《ドレン端子D TM》図7は映像信号線D Lからその外部接続端子D TMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図11右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板S UB 1の上端部(または下端部)に該当する。

【0087】T S T dは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレン端子D TMも外部回路との接続ができるよう配線部より幅が広げられている。検査端子T S T dと外部接続ドレン端子D TMは上下方向に千鳥状に複数交互に配列され、検査端子T S T dは図に示すとおり基板S UB 1の端部に到達することなく終端しているが、ドレン端子D TMは、図11に示すように端子群T d(添字省略)を構成し基板S UB 1の切断線C T 1を越えてさらに延長され、製造過程中は静電破壊防止のためその全てが互いに配線S H dによって短絡される。検査端子T S T dが存在する映像信号線D Lのマトリクスを挟んで反対側にはドレン接続端子が接続され、逆にドレン接続端子D TMが存在する映像信号線D Lのマトリクスを挟んで反対側には検査端子が接続される。

【0088】ドレン接続端子D TMは前述したゲート端子G TMと同様な理由でC r層g 1およびITO層d 1の2層で形成されており、ゲート絶縁膜G I を除去した部分で映像信号線D Lと接続されている。ゲート絶縁膜G I の端部上に形成された半導体層A Sはゲート絶縁膜G I の縁をテープ状にエッチングするためのものである。端子D TM上では外部回路との接続を行うため保護膜P SV 1は勿論のこと取り除かれている。AOは前述

した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から左側がマスクで覆われるが、この図で覆われない部分には層g 2が存在しないのでこのパターンは直接は関係しない。

【0089】マトリクス部からドレン端子部D TMまでの引出配線は図5の(c)部にも示されるように、ドレン端子部D TMと同じレベルの層d 1、g 1のすぐ上に映像信号線D Lと同じレベルの層d 2、d 3がシールパターンS Lの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA 1層d 3を保護膜P SV 1やシールパターンS Lでできるだけ保護する狙いである。

【0090】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図8に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0091】図中、Xは映像信号線D Lを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線G Lを意味し、添字1、2、3、…、endは走査タイミングの順序にしたがって付加されている。

【0092】映像信号線X(添字省略)は上側の映像信号駆動用回路H eに接続されている。すなわち、映像信号線Xは、走査信号線Yと同様に、液晶表示パネルP NLの片側のみに端子が引き出されている。

【0093】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0094】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0095】以上本発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、図1、図2に示したテープキャリアパッケージTCPの形状、構成等は種々のものが考えられる。また、前記実施の形態では、端子ばらけ防止用ベースフィルムBF 2にグランド線G ND(あるいは電源線)を形成したが、回路基板PCB 1にもさらにグランド線G ND(あるいは電源線)を形成してもよい。また、テープキャリアパッケージTCPが実装される回路基板としては、ガラスエポキシ等からなる堅いプリント基板、あるいはポリイミド樹脂等からなる柔軟なF PC等が使用可能である。また、本発明は、縦電界方式のアクティブマトリクス方式の液晶表示装置に適用した例を示したが、横電界方式やCOG(チップオンガラス)方式の液晶表示装置にも、また、

単純マトリクス方式の液晶表示装置にも適用可能なことは言うまでもない。さらに、本発明は、液晶表示装置に限らず、各種表示装置、カメラ、ラジオ、電卓等の各種電子・電気機器等、テープキャリアパッケージを実装する製品に幅広く適用することができる。

【0096】

【発明の効果】以上説明したように、本発明によれば、各テープキャリアパッケージの端子ばらけ防止用ベースフィルムにグランド線、電源線、あるいは信号線の配線を形成し、該配線どうしを電気的に接続するとともに、回路基板と電気的に導通を取る構造とすることにより、回路基板の層数を増加することなく、グランド線や電源線の面積を十分確保することができる。したがって、EMI対策を強化するとともに、該回路基板の幅を縮小することができ、その結果、液晶表示装置等の機器の小型化、軽量化、大画面化、および表示品質の安定化を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のテープキャリアパッケージTCPの要部概略平面図(下面図)である。

【図2】(a)は図1に示したテープキャリアパッケージTCPを、液晶表示パネルPNLと駆動用回路基板PCB1に実装した様子を示す概略断面図、(b)は図1に示した複数枚のテープキャリアパッケージTCPの一部を重ね合わせて配列実装した様子を示す概略斜視図、(c)はベースフィルムBF2の重ね合わせた部分の要部断面図である。

【図3】本発明が適用可能なアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示モジュールMDLの分解斜視図である。

【図4】液晶表示部の一画素とその周辺を示す要部平面図である。

【図5】マトリクスの画素部を中心(b)に、両側(a)、(c)にパネル角付近と映像信号端子部付近を示す断面図である。

【図6】ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

【図7】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図8】アクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図9】液晶表示パネルPNLのマトリクス周辺部の構

10

成を説明するための平面図である。

【図10】図9の周辺部をやや誇張しさらに具体的に説明するためのパネル平面図である。

【図11】上下基板の電気的接続部を含む液晶表示パネルPNLの角部の拡大平面図である。

【図12】左側に走査信号端子GTM、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図13】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図14】シールドケースSHD内に液晶表示パネルPNLと回路基板PCB1~3が組み込まれた下面図、A-A切断線における断面図、A-A切断線における断面図、B-B切断線における断面図、C-C切断線における断面図、D-D切断線における断面図である。

【図15】テープキャリアパッケージTCPを実装しない回路基板PCB1~3の詳細下面図である。

20

【図16】液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいはワープロの斜視図である。

【図17】従来のテープキャリアパッケージTCPの平面図である。

【図18】駆動用回路を構成する集積回路チップCH1がフレキシブル配線基板に搭載された従来のテープキャリアパッケージTCPの断面構造を示す図である。

【図19】従来のテープキャリアパッケージTCPと液晶表示パネルPNLおよび駆動用回路基板PCB1との電気的接続を示す要部断面図である。

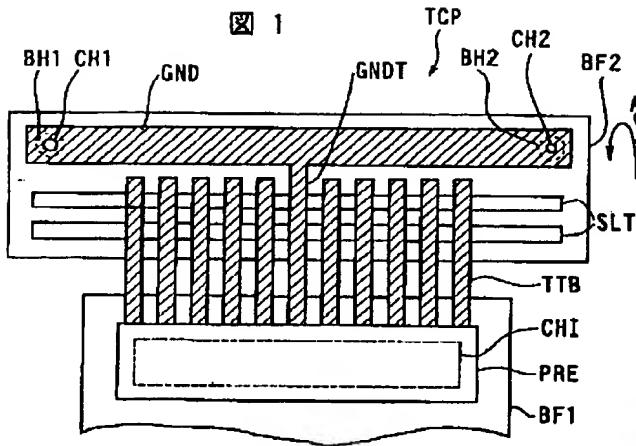
30

【符号の説明】
TCP…テープキャリアパッケージ、TTB…テープキャリアパッケージの入力端子、BF1…ベースフィルム、BF2…端子ばらけ防止用ベースフィルム、CH1…液晶駆動用ICチップ、PRE…封止用樹脂(モールドレジン)、GND…グランド線、GNDT…グランド線接続用配線、SLT…スリット、CH1、CH2…グ

40

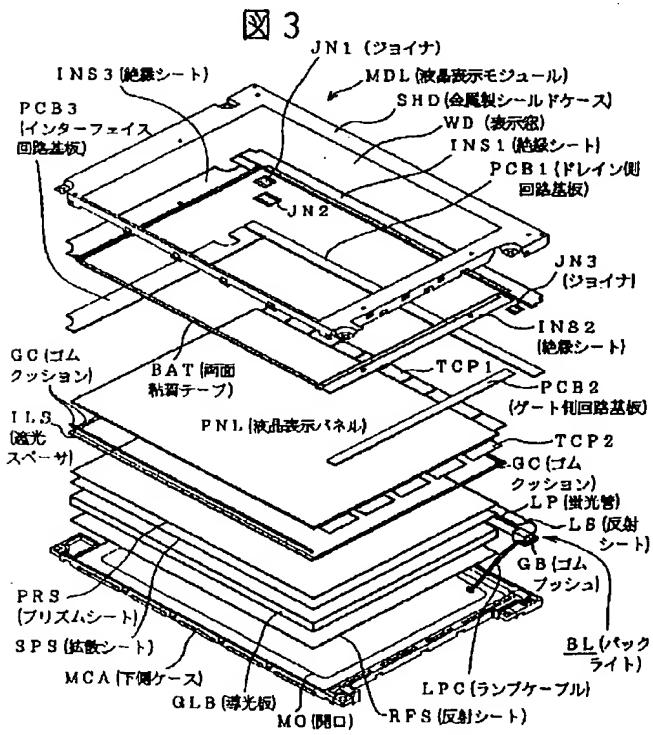
ランド線の貫通穴、BH1、BH2…ベースフィルム(BF2)の貫通穴、BPAD…回路基板の出力端子のパッド、GNPAD…グランド線接続用パッド、SOL…半田層、TTM…テープキャリアパッケージの出力端子、DTM…映像信号線の外部接続端子、ACF…異方性導電膜、OVL…ベースフィルム(BF2)の重複部、SR…ソルダーレジスト膜。

【四】

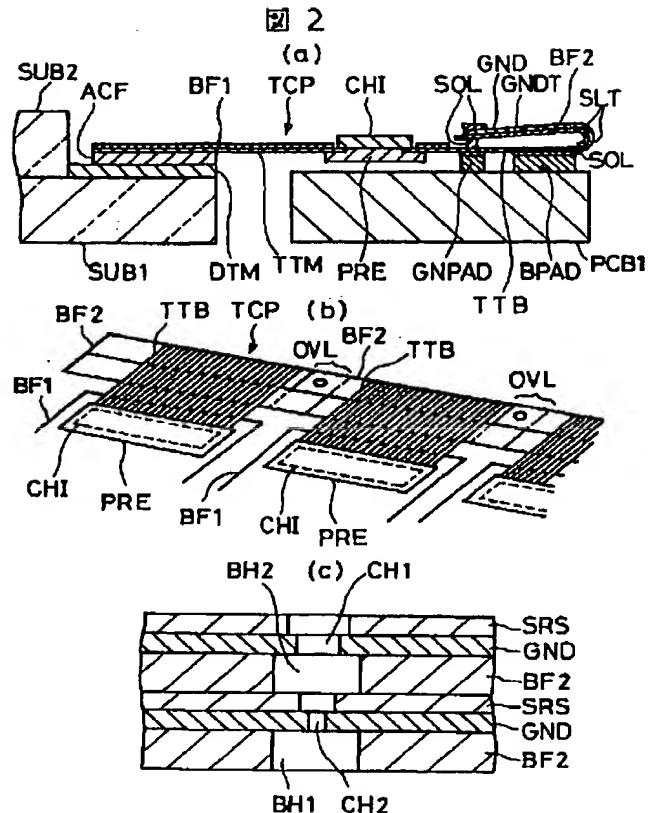


T C P ……テープキャリアパッケージ
 T T B ……テープキャリアパッケージの入力端子
 B F 1 ……ベースフィルム
 B F 2 ……端子ばらけ防止用ベースフィルム
 C H I ……液晶駆動用 I C チップ
 P R E ……封止用樹脂(モールドレジン)
 G N D ……グランド線
 G N D T ……グランド線接続用配線
 S L T ……スリット
 C H 1, C H 2 ……グランド線の貫通穴
 B H 1, B H 2 ……ベースフィルムの貫通穴

【図3】

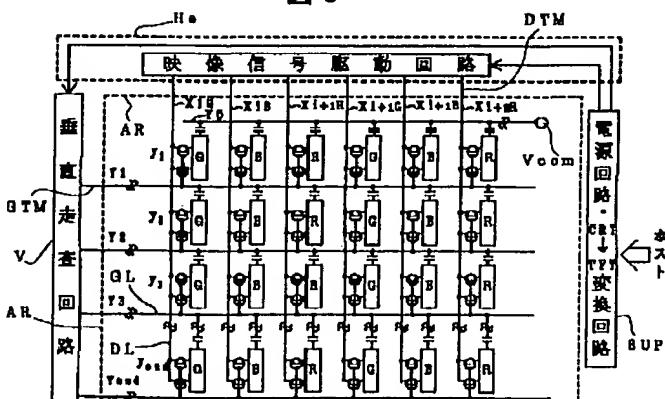


【図2】



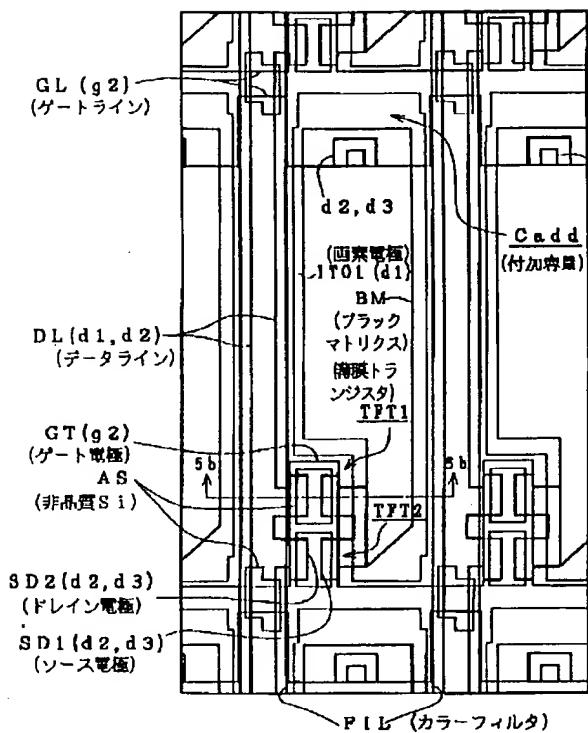
【図8】

8



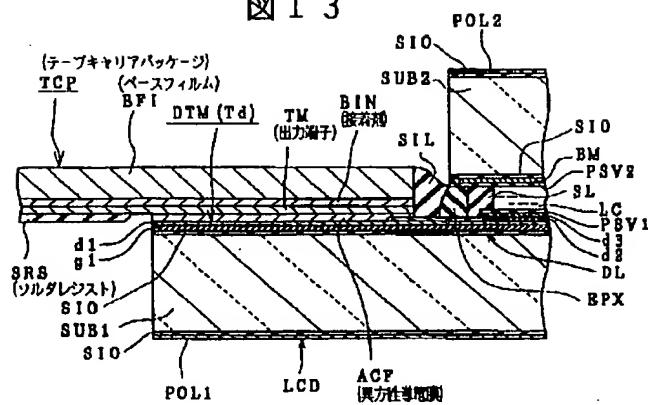
【図4】

図4



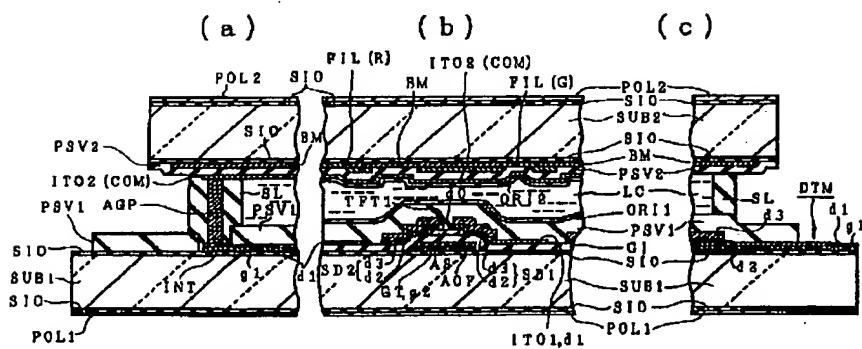
【図13】

図13

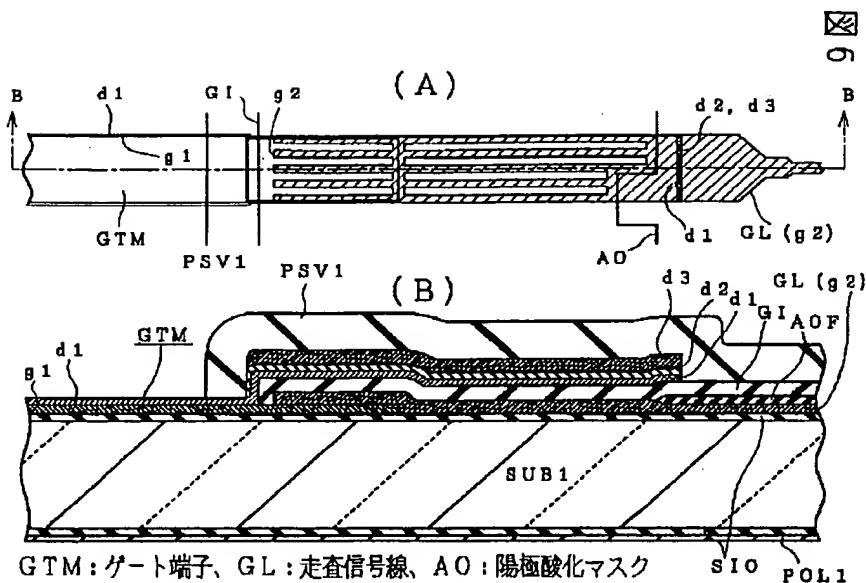


【図5】

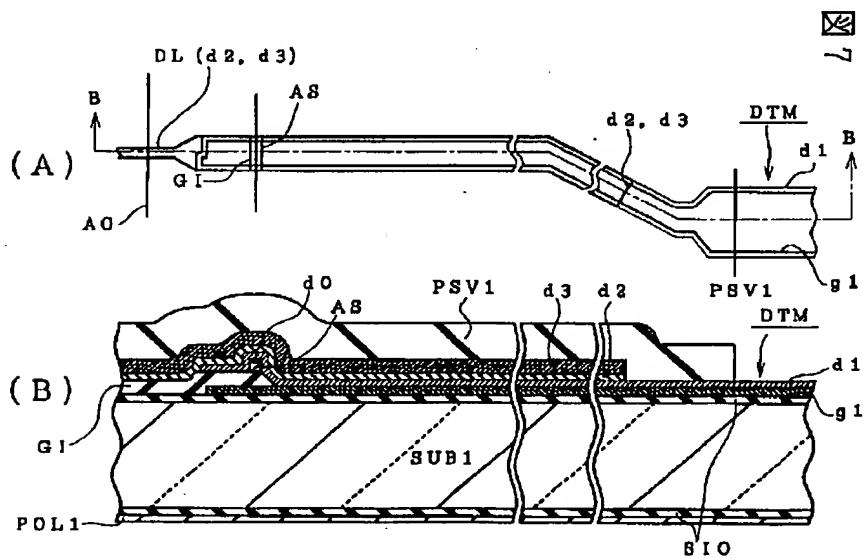
図5



【図6】

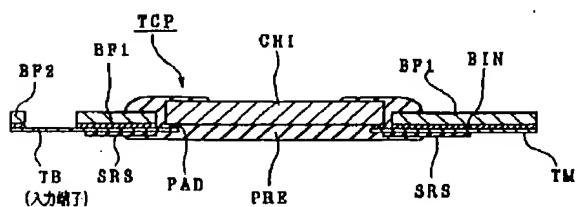


【図7】

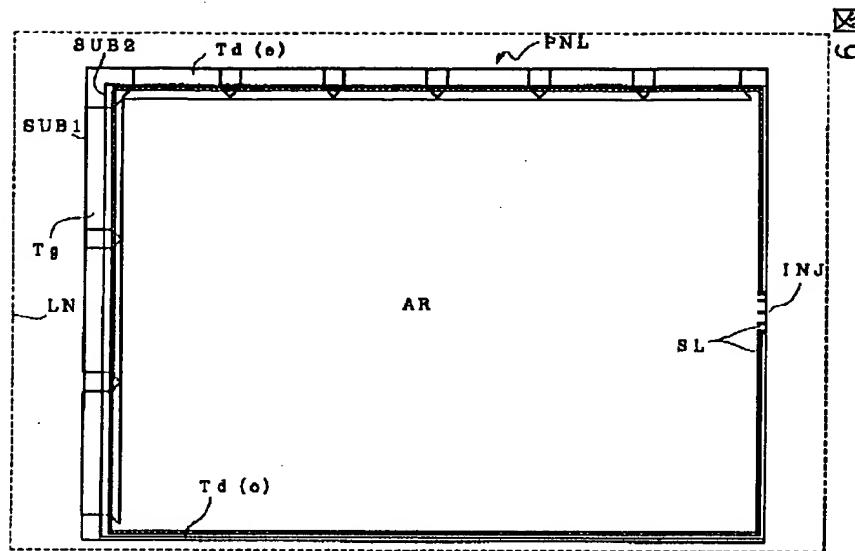


【図18】

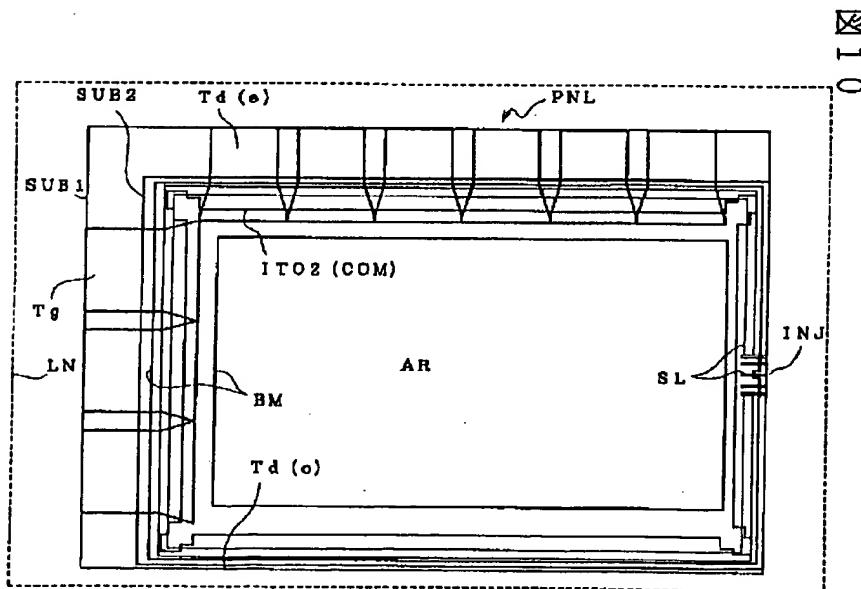
図18



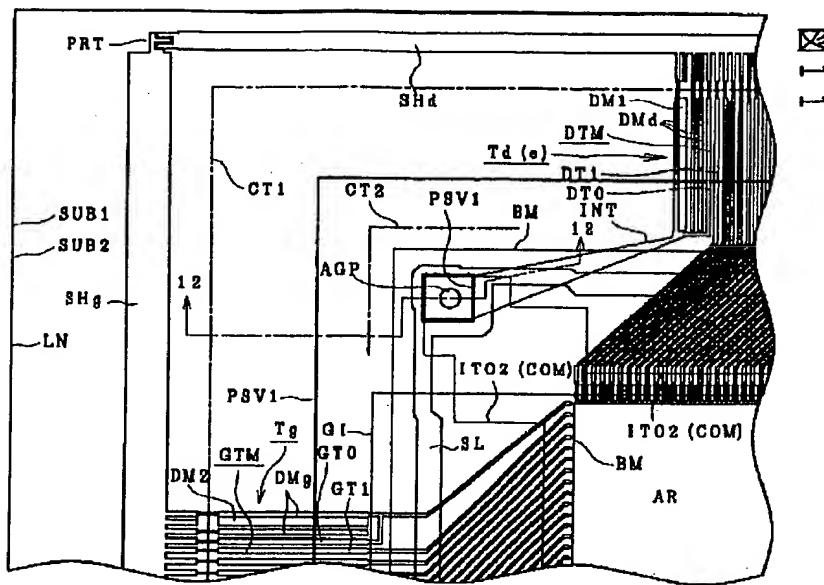
【図9】



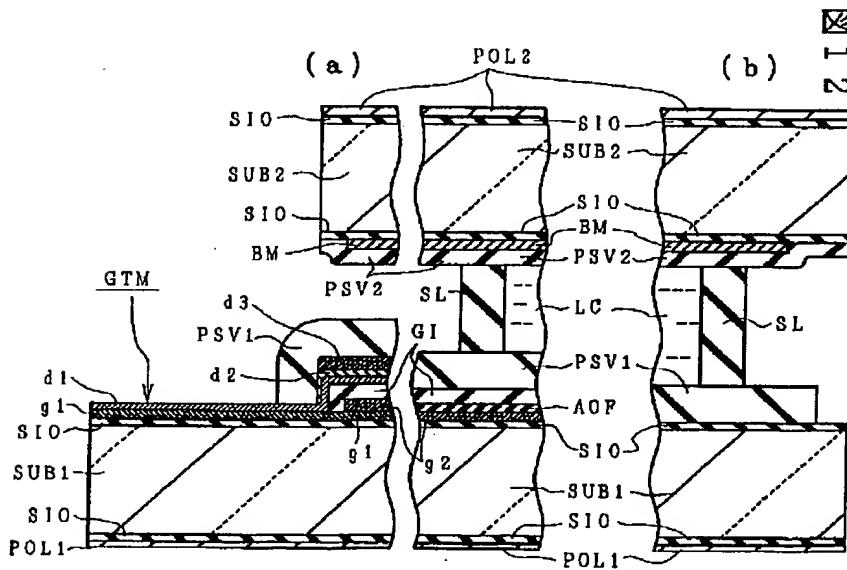
【図10】



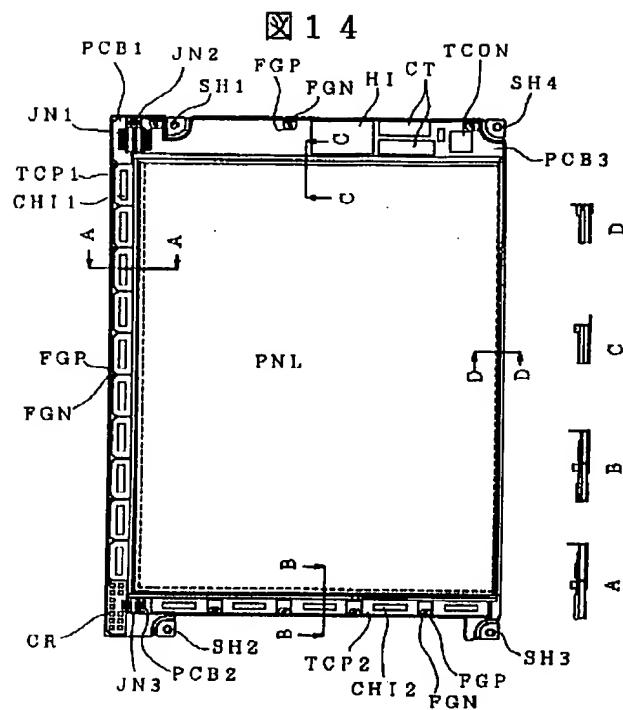
【図11】



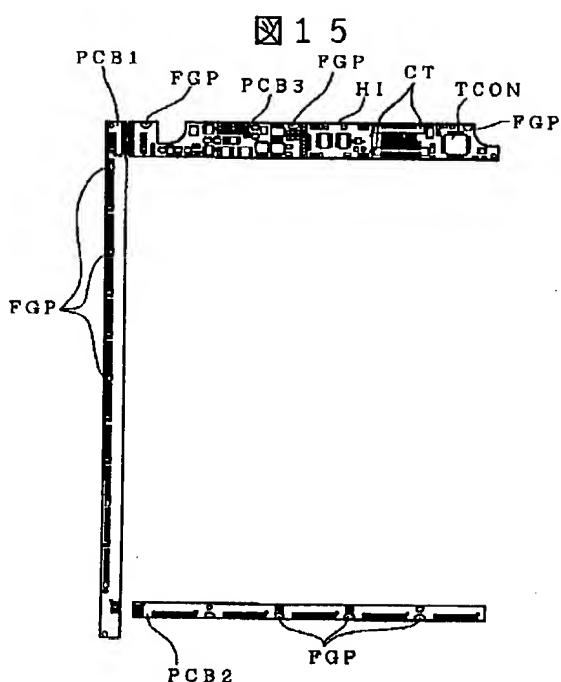
【図12】



【図14】

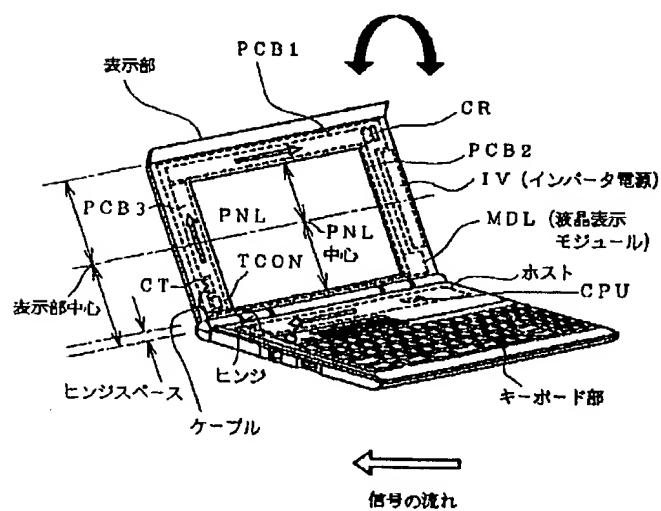


【図15】



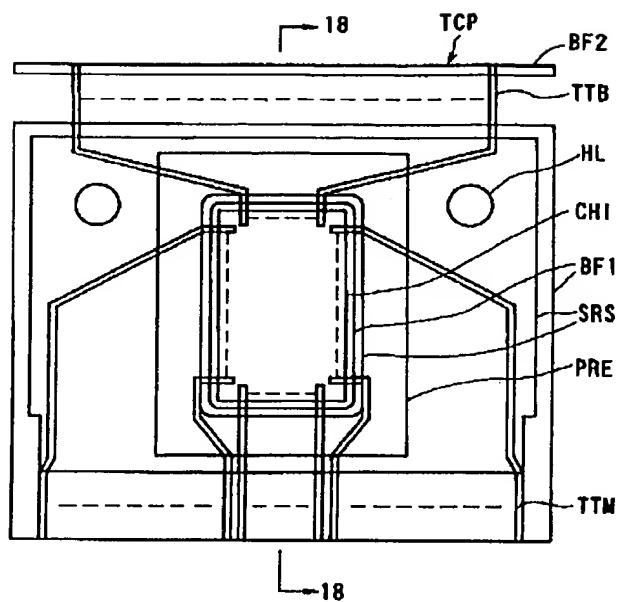
【図16】

図16



【図17】

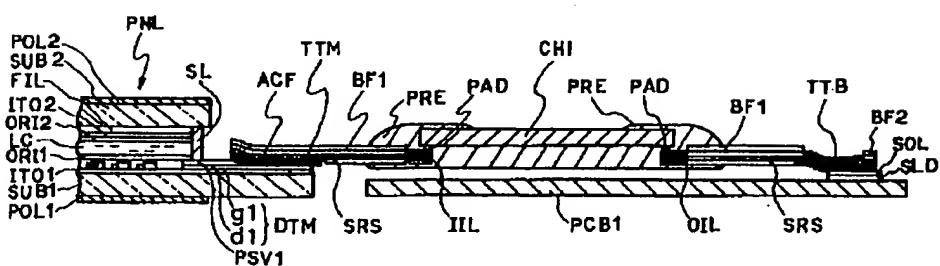
図17



TCP…テープキャリアパッケージ
 BF1,BF2…ベースフィルム
 TTB…入力端子
 TTM…出力端子
 CHI…半導体集積回路チップ
 PRE…封止用樹脂
 SRS…ソルダーレジスト
 HL…位置決め穴

【図19】

図19



フロントページの続き

(72)発明者 池田 和文

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 高森 正典

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内